



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11150193 A**

(43) Date of publication of application: 02.06.99

(51) Int. Cl.

**H01L 21/8238****H01L 27/092****H01L 29/78****H03K 19/0948**

(21) Application number: 09313985

(22) Date of filing: 14.11.97

(71) Applicant: **NEC CORP**(72) Inventor: **ITO HIROSHI  
SASAKI MAKOTO****(54) COMPLEMENTARY MOS SEMICONDUCTOR  
DEVICE**

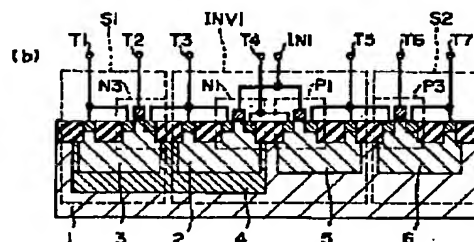
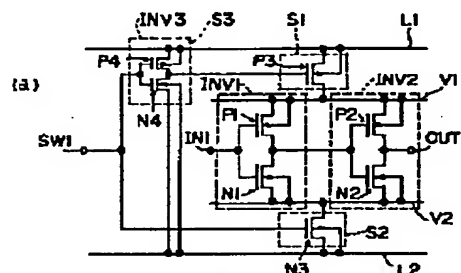
at operation of the inverters INV1 and INV2.

COPYRIGHT: (C)1999,JPO

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To suppress a direct tunnel current of a gate insulating film, when a complementary MOS logic circuit is not operating for reduced power consumption by, related to a third power supply circuit, providing a field effect transistor, comprising a gate insulating film whose film thickness is equal to or more than a specific value.

**SOLUTION:** An inverter INV1 comprises a P-MOSFETP1 and an n-MOSFETN1, while an inverter INV2 comprises a p-MOSFETP2 and an n-MOSFETN2. A p-MOSFETP3 is connected, as a power supply circuit S1, to a pseudo power line V1, while an n-MOSFETN3 is connected as a power supply circuit S2 to a pseudo-GND line V2. A film thickness of a gate insulating film of the p-MOSFETP3 and the n-MOSFETN3 is not limited. The thickness, however, of these gate insulating films is desirably 2.5 nm or more. If the gate insulating film thickness is less than 2.5 nm, there may be cases in which a sufficient voltage may not be supplied to the pseudo-power source line V1 or the pseudo-GND line V2



1

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-150193

(43)公開日 平成11年(1999)6月2日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H01L 21/8238

H01L 27/08

321

B

27/092

29/78

301

C

29/78

H03K 19/094

B

H03K 19/0948

審査請求 有 請求項の数 7 O L (全 9 頁)

(21)出願番号

特願平9-313985

(22)出願日

平成 9 年(1997)11月14日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 伊藤 浩

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

(72)発明者 佐々木 誠

東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

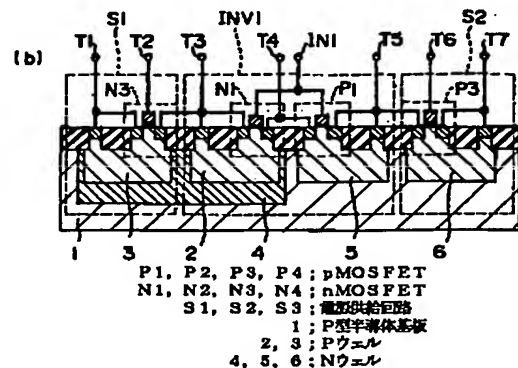
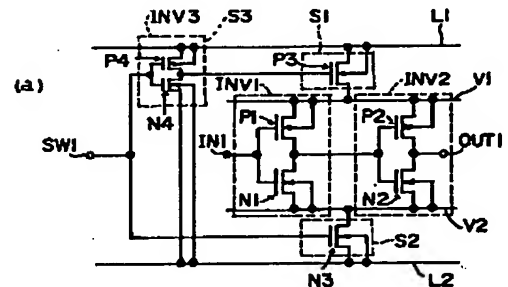
(74)代理人 弁理士 藤巻 正憲

(54)【発明の名称】 相補型 MOS 半導体装置

(57)【要約】

【課題】 論理回路内のゲート酸化膜の膜厚を 2.5 nm 未満としても非動作時の消費電力を抑制することができる相補型 MOS 半導体装置を提供する。

【解決手段】 pMOSFET P1 及び nMOSFET N1 から構成されたインバータ INV1 と、pMOSFET P2 及び nMOSFET N2 から構成されたインバータ INV2 とが組み込まれている。pMOSFET P1 及び P2 のソース及びウェルは擬似電源線 V1 に接続され、nMOSFET N1 及び N2 のソース及びウェルは擬似 GND 線 V2 に接続されている。そして、擬似電源線 V1 に電源供給回路 S1 が接続され、擬似 GND 線 V2 に電源供給回路 S2 が接続されている。更に、電源供給回路 S1 に電源線 L1 が接続され、電源供給回路 S2 に GND 線 L2 が接続されている。また、電源供給回路 1 には、ゲート絶縁膜厚が 4 nm の電界効果トランジスタから構成される電源供給回路 3 が接続されている。



## 【特許請求の範囲】

【請求項 1】 複数の電界効果トランジスタを有する相補型 MOS 論理回路と、この相補型 MOS 論理回路への電源電圧の供給源である第 1 の配線及び第 2 の配線と、前記第 1 の配線から前記相補型 MOS 論理回路への電源電圧の供給を制御する第 1 の電源供給回路と、前記第 2 の配線から前記相補型 MOS 論理回路への電源電圧の供給を制御する第 2 の電源供給回路と、前記第 1 の電源供給回路の動作を制御する第 3 の電源供給回路とを有する相補型 MOS 半導体装置において、前記第 3 の電源供給回路は、膜厚が 2.5 nm 以上のゲート絶縁膜を備えた電界効果トランジスタを有することを特徴とする相補型 MOS 半導体装置。

【請求項 2】 前記第 1 の電源供給回路及び前記第 2 の電源供給回路からなる群から選択された少なくとも 1 種の回路は、膜厚が 2.5 nm 以上のゲート絶縁膜を備えた電界効果トランジスタを有することを特徴とする請求項 1 に記載の相補型 MOS 半導体装置。

【請求項 3】 前記相補型 MOS 論理回路に設けられた前記電界効果トランジスタのウェルと前記第 1 の配線及び前記第 2 の配線とは絶縁されていることを特徴とする請求項 1 又は 2 に記載の相補型 MOS 半導体装置。

【請求項 4】 複数の電界効果トランジスタを有する相補型 MOS 論理回路と、この相補型 MOS 論理回路への電源電圧の供給源である第 1 の配線及び第 2 の配線と、前記第 1 の配線から前記相補型 MOS 論理回路への電源電圧の供給を制御する第 1 の電源供給回路と、前記第 2 の配線から前記相補型 MOS 論理回路への電源電圧の供給を制御する第 2 の電源供給回路と、前記第 1 の電源供給回路の動作を制御する第 3 の電源供給回路とを有する相補型 MOS 半導体装置において、前記相補型 MOS 論理回路に設けられた前記電界効果トランジスタのウェルと前記第 1 の配線及び前記第 2 の配線とは絶縁されていることを特徴とする相補型 MOS 半導体装置。

【請求項 5】 前記第 1 の電源供給回路及び前記第 2 の電源供給回路からなる群から選択された少なくとも 1 種の回路は、膜厚が 2.5 nm 以上のゲート絶縁膜を備えた電界効果トランジスタを有することを特徴とする請求項 4 に記載の相補型 MOS 半導体装置。

【請求項 6】 前記電界効果トランジスタのゲート絶縁膜は、シリコン酸化膜及びシリコン窒化酸化膜からなる群から選択された 1 種の絶縁膜であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の相補型 MOS 半導体装置。

【請求項 7】 前記シリコン酸化膜は、シリコン基板表面が窒素酸化物により酸化されて形成されたものであることを特徴とする請求項 6 に記載の相補型 MOS 半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はモバイル機器に好適な相補型 MOS 半導体装置に関し、特に、相補型 MOS 論理回路を構成する電界効果トランジスタのゲート絶縁膜の膜厚を 2.5 nm 未満としても非動作時の消費電力が低い相補型 MOS 半導体装置に関する。

【0002】

【従来の技術】 近時、モバイル機器の需要が高くなっている。モバイル機器は屋外でのパーソナルコンピュータ及び携帯電話等の使用を前提としているものであり、モバイル機器への電源供給は電池により行われる。このため、モバイル機器においては、動作時の消費電力だけでなく非動作時の消費電力を低下させることが極めて重要である。そして、モバイル機器に使用される半導体装置としては、特に非動作時に低消費電力である相補型 MOS 半導体装置が有効である。

【0003】 しかし、半導体装置の回路動作速度を高速にするために MOSFET のしきい値電圧を低くすると、非動作時に流れる電流（以下、スタンバイ電流という）が大きくなるので非動作時の消費電力が高くなる。図 4 は従来の相補型 MOS 半導体装置に組み込まれた回路を示す回路図である。従来の相補型 MOS 半導体装置には 2 段のインバータ INV11 及び INV12 が組み込まれている。インバータ INV11 は pMOSFET P11 及び nMOSFET N11 から構成されており、インバータ INV12 は pMOSFET P12 及び nMOSFET N12 から構成されている。これらの MOSFET P11、P12、N11 及び N12 はしきい値が低い低しきい値電圧 MOSFET である。

【0004】 このように構成された従来の相補型 MOS 半導体装置においては、インバータ INV11 内の pMOSFET P11 のゲート及び nMOSFET N11 のゲートに接続された入力端子 IN11 に入力される信号が低レベルに保持されている場合、pMOSFET P11 は導通状態となり nMOSFET N11 は非導通状態となる。この場合、インバータ INV12 に入力される信号は高レベルに保持され、pMOSFET P12 は非導通状態となり nMOSFET N12 は導通状態となる。そして、pMOSFET P12 のドレイン及び nMOSFET N12 のドレインに接続された出力端子 OUT11 から低レベルの信号が出力される。このとき、インバータ INV11 においては、nMOSFET N11 は非導通状態であるが、低しきい値電圧 MOSFET であるために実際にはスタンバイ電流が大きい。このため、このスタンバイ電流に対応する貫通電流 21 が電源線 L11 から GND 線 L12 へと流れる。また、インバータ INV12 においては、pMOSFET P12 のスタンバイ電流に対応する貫通電流 22 が電源線 L11 から GND 線 L12 へと流れる。これらの貫通電流 21 及び 22 のために、非動作時の消費電力が高くなっている。

【0005】そこで、この欠点を解決する回路が提案されている(特開平6-29834号公報)。この公報に記載された回路においては、図4に示す論理回路を基本として、この論理回路から電源線及びGND線を切り離す手段が設けられている。図5は特開平6-29834号公報に記載された回路を示す回路図である。図5に示す回路において、図4に示す論理回路と同一物には同一符号を付して、その詳細な説明は省略する。特開平6-29834号公報に記載された回路においては、電源線L13と擬似電源線V11との間に電源供給回路S11としてpMOSFETP13が設けられ、GND線L14と擬似GND線V12との間に電源供給回路S12としてnMOSFETN13が設けられている。pMOSFETP13及びnMOSFETN13はしきい値が高い高しきい値電圧MOSFETである。pMOSFETP13のゲートはインバータINV13を介してスイッチSW11に接続されており、nMOSFETN13のゲートは直接スイッチSW11に接続されている。

【0006】このように構成された従来の回路においては、インバータINV11及びINV12が非動作時にスイッチSW11を非導通状態にすると、pMOSFETP13及びnMOSFETN13が非導通状態となり、インバータINV11及びINV12は電源線L13及びGND線L14から切り離される。更に、pMOSFETP13及びnMOSFETN13は高しきい値電圧MOSFETなので、MOSFETP11、P12、N11及びN12よりスタンバイ電流が著しく小さく電源線L13からGND線L14へと流れる貫通電流は著しく抑制される。従って、非動作時の消費電力が著しく小さくなる。

【0007】また、動作速度を低下させることなく非動作時の消費電力を低減できる回路が提案されている(特開平7-38417号公報)。この公報に記載された回路においては、論理回路にしきい値電圧が低いMOSトランジスタからなる第1のインバータ及びしきい値電圧が高いMOSトランジスタからなる第2のインバータが設けられている。そして、第1のインバータは非動作時には電源から切り離されるように構成されている。

【0008】この特開平7-38417号公報に記載された回路によれば、動作時には第1のインバータにより高速のスイッチング動作が行われ、非動作時には第2のインバータにより出力レベルが維持される。このため、非動作時の消費電力が極めて低く抑えられる。

【0009】

【発明が解決しようとする課題】しかしながら、LSIの高速化及び高集積化に伴ってMOSFETが微細化され、そのゲート長が0.1 $\mu$ m程度となると、前述のように構成された従来の回路が組み込まれた相補型MOS半導体装置での非動作時の消費電力が高くなるという問題点がある。特に、電池により動作するLSIでは非動

作時においても著しく高い消費電力が発生するため、電池の消耗が激しくなる。モバイル機器の需要が益々高くなりつつある現状では、この問題点を解決することは極めて重要である。

【0010】MOSFETの寸法等のデバイスパラメータはある比例縮小則に従って微細化されている。比例縮小則としては、電界一定比例縮小則、電圧一定比例縮小則及び準電界一定比例縮小則等が提案されている。そして、いずれの比例縮小則によってもゲート長とゲート絶縁膜の膜厚とは同じ縮小比で縮小されることが前提となっている。実際のデバイスにおいても、ゲート長とゲート絶縁膜の膜厚とはほぼ比例縮小されている。従って、ゲート長が0.25 $\mu$ mのCMOSのゲート絶縁膜の膜厚は一般的に5nmであるので、ゲート長が0.1 $\mu$ m程度のCMOSのゲート絶縁膜の膜厚は2.0乃至2.5nm程度になることが比例縮小則から導かれる。つまり、MOSFETを微細化するためにゲート長を0.1 $\mu$ m程度とし論理回路内のゲート絶縁膜の膜厚を2.5nmより薄くすると、非動作時の消費電力が高くなってしまう。

【0011】本発明はかかる問題点に鑑みてなされたものであって、論理回路内のゲート絶縁膜の膜厚を2.5nm未満としても非動作時の消費電力を抑制することができる相補型MOS半導体装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明に係る相補型MOS半導体装置は、複数の電界効果トランジスタを有する相補型MOS論理回路と、この相補型MOS論理回路への電源電圧の供給源である第1の配線及び第2の配線と、前記第1の配線から前記相補型MOS論理回路への電源電圧の供給を制御する第1の電源供給回路と、前記第2の配線から前記相補型MOS論理回路への電源電圧の供給を制御する第2の電源供給回路と、前記第1の電源供給回路の動作を制御する第3の電源供給回路とを有する相補型MOS半導体装置において、前記第3の電源供給回路は、膜厚が2.5nm以上のゲート絶縁膜を備えた電界効果トランジスタを有することを特徴とする。

【0013】本発明においては、第3の電源供給回路に膜厚が2.5nm以上のゲート絶縁膜を備えた電界効果トランジスタが設けられているので、相補型MOS論理回路の非動作時に、このゲート絶縁膜の直接トンネル電流を抑制して消費電力を低減することができる。

【0014】本発明に係る他の相補型MOS半導体装置は、複数の電界効果トランジスタを有する相補型MOS論理回路と、この相補型MOS論理回路への電源電圧の供給源である第1の配線及び第2の配線と、前記第1の配線から前記相補型MOS論理回路への電源電圧の供給を制御する第1の電源供給回路と、前記第2の配線から前記相補型MOS論理回路への電源電圧の供給を制御

する第2の電源供給回路と、前記第1の電源供給回路の動作を制御する第3の電源供給回路とを有する相補型MOS半導体装置において、前記相補型MOS論理回路に設けられた前記電界効果トランジスタのウェルと前記第1の配線及び前記第2の配線とは絶縁されていることを特徴とする。

【0015】本発明においては、相補型MOS論理回路に設けられた電界効果トランジスタのウェルと第1の配線及び第2の配線とが絶縁されているので、この間に流れる電流を抑制して消費電力を低減することができる。

【0016】前記第1の電源供給回路及び前記第2の電源供給回路からなる群から選択された少なくとも1種の回路は、膜厚が2.5nm以上のゲート絶縁膜を備えた電界効果トランジスタを有することが望ましい。

【0017】第1の電源供給回路又は第2の電源供給回路に膜厚が2.5nm以上のゲート酸化膜を備えた電界効果トランジスタを設けることにより、相補型MOS論理回路の動作時に十分な電圧を供給することができる。特に、両電源供給回路に前述の電界効果トランジスタを設けることにより、その効果が大きくなる。

【0018】なお、前記電界効果トランジスタのゲート絶縁膜は、シリコン酸化膜又はシリコン窒化酸化膜であってもよく、前記シリコン酸化膜は、シリコン基板表面が窒素酸化物により酸化されて形成されたものであってもよい。

【0019】

【発明の実施の形態】本願発明者等が前記課題を解決するため、鋭意実験研究を重ねた結果、従来の論理回路内のゲート絶縁膜の膜厚を2.5nm未満とすると、非動作時にもゲート絶縁膜に直接トンネル電流が流れており、この直接トンネル電流を抑制することにより非動作時の消費電力を抑制することができることを見出した。

【0020】従来の回路のゲート絶縁膜にて発生している直接トンネル電流について説明する。図6(a)はゲート絶縁膜の膜厚が2.5nm未満であるMOSFETからなる回路の例を示す回路図であり、(b)及び

(c)は(a)に示す回路で発生する貫通電流を示す回路図である。図6(a)に示す回路の例には、従来例と同様に、2段のインバータINV21及びINV22が組み込まれている。インバータINV21はpMOSFETP21及びnMOSFETN21から構成されており、インバータINV22はpMOSFETP22及びnMOSFETN22から構成されている。これらのMOSFETP21、P22、N21及びN22はしきい値が高い高しきい値電圧MOSFETである。

【0021】このように構成された回路において、インバータINV21内のpMOSFETP21のゲート及びnMOSFETN21のゲートに接続された入力端子IN21に入力される信号が低レベルに保持されている

場合、pMOSFETP21は導通状態となりnMOSFETN21は非導通状態となる。この場合、インバータINV22に入力される信号は高レベルに保持され、pMOSFETP22は非導通状態となりnMOSFETN22は導通状態となる。そして、pMOSFETP22のドレイン及びnMOSFETN22のドレインに接続された出力端子OUT21から低レベルの信号が出力される。このとき、インバータINV21に入力される信号は低レベルであり回路は定常(非動作)状態であると共に、pMOSFETP21及びnMOSFETN21は高しきい値電圧MOSFETであるため、ゲート絶縁膜の膜厚が2.5nm以上であれば電源線L21からGND線L22へはほとんど電流は流れない。

【0022】しかし、この例では、ゲート絶縁膜の膜厚が2.5nm未満であるため、図6(b)に示すように、nMOSFETN22のゲート絶縁膜に直接トンネル電流が流れるため、電源線L21からGND線L22へと貫通電流23が流れる。また、入力端子IN21に入力信号が高レベルに保持されている場合には、pMOSFETP22のゲート絶縁膜に直接トンネル電流が流れるため、電源線L21からGND線L22へと貫通電流24が流れる。

【0023】特開平6-29834号公報に記載された回路においても、ゲート絶縁膜の膜厚を2.5nm未満、例えば2.0nmとすると、同様にして貫通電流が流れる。図7(a)はゲート絶縁膜厚を2.0nmとしたときに特開平6-29834号公報に記載された回路に流れる貫通電流を示す回路図であり、(b)はこの回路がP型半導体基板に組み込まれた半導体装置を示す模式的断面図である。図5に示すインバータINV13は高しきい値電圧MOSFETであるpMOSFETP14とnMOSFETN14とから構成されている。また、図7(b)において、端子T11はGND線L14に接続され、端子T12はスイッチSW11に接続されている。また、端子T13は擬似GND線V12に接続され、端子T14はインバータINV12に接続されている。端子T15は擬似電源線V11に接続され、端子T16はインバータINV13を介してスイッチSW11に接続されている。そして、端子T17は電源線L13に接続されている。そして、nMOSFETN11及びN13がGND線L14と同電位のPウェル12に形成されており、pMOSFETP11及びP13が電源線L13と同電位のNウェル13に形成されている。また、Pウェル12及びNウェル13は同一のP型半導体基板11内に形成されている。

【0024】この回路においては、インバータINV11及びINV12から構成される論理回路の非動作時に、スイッチSW11への入力信号を低レベルにすることにより擬似電源線V11及び擬似GND線V12が電源線L13及びGND線L14から切り離されるので、

10

20

30

40

50

図6 (b) 及び (c) に示す貫通電流 23 及び 24 のような貫通電流は流れない。

【0025】しかし、ゲート絶縁膜の膜厚が 2.0 nm であり、図7 (a) に示すように、電源線 L13 と pMOSFET P4 の N ウェルとが同電位にあるため、スイッチ SW11 に低レベルの信号が入力されると、pMOSFET P4 のゲート絶縁膜に直接トンネル電流が流れてこれを起因とする貫通電流 25 が流れる。更に、ゲート絶縁膜の膜厚が 2.0 nm であり、図7 (b) に示すように、nMOSFET N11 の P ウェル 12 と端子 T11 に接続された GND 線 L14 とが同電位にあるため、入力信号が高レベルに保持されると、nMOSFET N11 のゲート絶縁膜に直接トンネル電流が流れてこれを起因とする貫通電流 26 が流れる。また、入力信号が低レベルに保持された場合には、pMOSFET P11 の N ウェル 13 と端子 T17 に接続された電源線 L13 とが同電位にあるため、pMOSFET P11 のゲート絶縁膜に直接トンネル電流が流れてこれを起因とする貫通電流が流れる。直接トンネル電流を起因とする貫通電流は従来問題とされていた貫通電流とは相違するため、従来の回路ではスイッチ SW11 を非導通状態にしても抑制することはできない。

【0026】本願発明者等がゲート絶縁膜の膜厚が 2 nm の nMOSFET に流れる直接トンネル電流を実測した結果を図8に示す。図8は横軸にゲートに印加されたゲート印加電圧をとり、縦軸に直接トンネル電流をとって両者の関係を示すグラフ図である。ゲート印加電圧が正の領域において nMOSFET は反転状態であり、負の領域において nMOSFET は蓄積状態である。フラットバンド電圧に対応する量だけ、反転状態での直接トンネル電流が蓄積状態でのものより大きい。

【0027】また、直接トンネル電流のゲート酸化膜の膜厚への依存性を図9に示す。図9は横軸にゲート酸化膜厚をとり、縦軸に直接トンネル電流をとって両者の関係を示すグラフ図である。図9において、○は電源電圧が 1.8 V のときの直接トンネル電流を示し、●は電源電圧が 1.2 V のときの直接トンネル電流を示す。直接トンネル電流のゲート絶縁膜厚依存性は極めて大きく、ゲート絶縁膜が 0.2 nm 薄くなると直接トンネル電流は約 1 桁増大している。

【0028】以上の結果から直接トンネル電流が流れないと仮定したときのスタンバイ電流によるリーク電流と、直接トンネル電流によるリーク電流とを比較した結果を図10に示す。図10は横軸にゲート絶縁膜厚をとり、縦軸にリーク電流をとって両者の関係を示すグラフ図である。なお、トランジスタのゲート幅は 1  $\mu$ m である。図10において、○は直接トンネル電流によるリーク電流を示し、●はスタンバイ電流によるリーク電流を示す。図10に示すように、ゲート絶縁膜厚が 2.5 nm 未満となると、直接トンネル電流によるリーク電流が

トランジスタのスタンバイ電流よりも大きくなっている。つまり、ゲート絶縁膜厚が 2.5 nm 未満となるゲート長が 0.1  $\mu$ m 程度未満の相補型 MOS 半導体装置の非動作時の電源線から GND 線へのリーク電流においては、直接トンネル電流を起因とする貫通電流が支配的となっている。

【0029】以下、本発明の実施例に係る相補型 MOS 半導体装置について、添付の図面を参照して具体的に説明する。図1 (a) は本発明の第1の実施例に係る相補型 MOS 半導体装置に組み込まれた回路を示す回路図であり、(b) は同じく相補型 MOS 半導体装置を示す模式的断面図である。本実施例には、2 段のインバータ INV1 及び INV2 からなる内部論理回路が組み込まれている。インバータ INV1 は pMOSFET P1 及び nMOSFET N1 から構成されており、インバータ INV2 は pMOSFET P2 及び nMOSFET N2 から構成されている。これらの MOSFET P1、P2、N1 及び N2 はゲート絶縁膜の膜厚が 2 nm の MOSFET である。ゲート絶縁膜は、例えばシリコン酸化膜又はシリコン酸化膜を窒化することにより形成されたシリコン窒化酸化膜である。シリコン酸化膜は、例えばシリコン基板表面を窒素酸化物により酸化することにより形成される。pMOSFET P1 及び P2 のソース及びウェルは擬似電源線 V1 に接続されている。また、nMOSFET N1 及び N2 のソース及びウェルは擬似 GND 線 V2 に接続されている。そして、擬似電源線 V1 に電源供給回路 S1 として pMOSFET P3 が接続され、擬似 GND 線 V2 に電源供給回路 S2 として nMOSFET N3 が接続されている。更に、電源供給回路 S1 に電源線 L1 が接続され、電源供給回路 S2 に GND 線 L2 が接続されている。また、pMOSFET 3 のゲートには電源供給回路 S3 としてインバータ INV3 が接続されている。そして、インバータ INV3 及び nMOSFET N3 のゲートにはスイッチ SW1 が接続されている。これにより、pMOSFET P3 及び N3 が同時に動作する。インバータ INV3 は pMOSFET P4 及び nMOSFET N4 から構成されており、pMOSFET P4 は電源線 L1 に接続され、nMOSFET N4 は GND 線 L2 に接続されている。なお、pMOSFET P4 及び nMOSFET N4 はゲート絶縁膜の膜厚が 4 nm の MOSFET である。

【0030】また、図1 (b) において、端子 T1 は GND 線 L2 に接続され、端子 T2 はスイッチ SW1 に接続されている。また、端子 T3 は擬似 GND 線 V2 に接続され、端子 T4 はインバータ INV2 に接続されている。端子 T5 は擬似電源線 V1 に接続され、端子 T6 はインバータ INV3 を介してスイッチ SW1 に接続されている。そして、端子 T7 は電源線 L1 に接続されている。

【0031】更に、図1 (b) に示すように、nMOS



FETN1は第1Pウェル2に形成されており、nMOSFETN3は第2Pウェルに形成されている。そして、第1Pウェル2及び第2Pウェル3は相互に離間して同一の第3Nウェル4内に形成されている。これにより、第1Pウェル2と第2Pウェル3とが電氣的に絶縁される。また、pMOSFETP1は第1Nウェル5に形成されており、pMOSFETP3は第2Nウェル6に形成されている。そして、第1Nウェル5、第2Nウェル6及び第3Nウェル4はP型半導体基板1に相互に離間して形成されている。これにより、第1Nウェル5と第2Nウェル6とが電氣的に絶縁される。図1(b)に図示されないpMOSFETP2は、第2Nウェル6から絶縁されていれば、pMOSFETP1と同一の第1Nウェル5に形成されていてもよい。また、図1(b)に図示されないnMOSFETN2は、第2Pウェル3から絶縁されていれば、nMOSFETN1と同一の第1Pウェル2に形成されていてもよい。

【0032】次に、このように構成された回路を有する第1の実施例の作用について説明する。インバータINV1及びINV2からなる内部論理回路の非動作時にスイッチSW1を非導通状態とすることにより、従来例と同様に、内部論理回路が電源線L1及びGND線L2から切り離されるので、内部論理回路には電源は供給されない。これにより、図6(b)又は(c)に示す貫通電流23又は24のような貫通電流の発生が抑制される。また、pMOSFETP4のゲート絶縁膜の膜厚が4nmなので、pMOSFETP4での直接トンネル電流の発生が抑制される。これにより、図7(a)に示す貫通電流25のような貫通電流の発生が抑制される。更に、第1Pウェル2と第2Pウェル3とが電氣的に絶縁されているので、入力端子IN1に高レベルの信号が保持された場合にも、図7(a)及び(b)に示す貫通電流26のような貫通電流の発生が抑制される。また、第1Nウェル5と第2Nウェル6とが電氣的に絶縁されているので、入力端子IN1に低レベルの信号が保持された場合、入力端子IN1から電源線L1への貫通電流の発生が抑制される。

【0033】なお、pMOSFETP3及びnMOSFETN3のゲート絶縁膜の膜厚は制限されるものではない。但し、pMOSFETP3のゲート絶縁膜厚が2.5nm未満であると、インバータINV1及びINV2の動作時に電源線L1からpMOSFETP3のゲートへと電流が流れ、nMOSFETN3のゲート絶縁膜厚が2.5nm未満であると、インバータINV1及びINV2の動作時にnMOSFETN3のゲートからGND線L2へと電流が流れる。このため、擬似電源線V1又は擬似GND線V2に十分な電圧が供給されない場合がある。従って、pMOSFETP3及びnMOSFETN3のゲート絶縁膜厚は2.5nm以上であることが望ましい。

【0034】次に、本発明の第2の実施例について説明する。本実施例にも図1(a)に示す回路が設けられている。本実施例は、MOSFETが形成されたウェルの構成に関して、第1の実施例と相違する。図2は本発明の第2の実施例に係る相補型MOS半導体装置を示す模式的断面図である。図2に示す第2の実施例において、図1(b)に示す第1の実施例と同一物には同一符号を付して、その詳細な説明は省略する。本実施例においては、第1Pウェル2は第3Nウェル4a内に形成されているが、第2Pウェル3はP型半導体基板1に直接形成されている。こうして、第1Pウェル2と第2Pウェル3とが電氣的に絶縁されている。

【0035】このため、本実施例においても、入力端子IN1に高レベルの信号が保持された場合にnMOSFETN1に直接トンネル電流は流れず、図7(a)及び(b)に示す貫通電流26のような貫通電流の発生が抑制される。

【0036】次に、本発明の第3の実施例について説明する。本実施例にも図1(a)に示す回路が設けられている。本実施例も第2の実施例と同様に、MOSFETが形成されたウェルの構成に関して、第1の実施例と相違する。図3は本発明の第3の実施例に係る相補型MOS半導体装置を示す模式的断面図である。図3に示す第3の実施例において、図1(b)に示す第1の実施例と同一物には同一符号を付して、その詳細な説明は省略する。本実施例においては、第2Pウェル3は第3Nウェル4b内に形成されているが、第1Pウェル2はP型半導体基板1に直接形成されている。こうして、第1Pウェル2と第2Pウェル3とが電氣的に絶縁されている。

【0037】このため、本実施例においても、入力端子IN1に高レベルの信号が保持された場合にnMOSFETN1に直接トンネル電流は流れず、図7(a)及び(b)に示す貫通電流26のような貫通電流の発生が抑制される。

【0038】なお、P型半導体基板上に素子を形成する場合には、前述のようにPウェル2及び3を相互に電氣的に絶縁するNウェル4等が必要となるが、N型半導体基板上に素子を形成する場合には、Nウェル5及び6を相互に電氣的に絶縁するPウェルが必要となる。

【0039】

【発明の効果】以上詳述したように、本発明によれば、電源供給回路に設けられる電界効果トランジスタのゲート絶縁膜の膜厚を2.5nm以上とすることにより、相補型MOS論理回路の非動作時に電源供給回路に流れる直接トンネル電流を抑制することができる。更に、相補型MOS論理回路に設けられた電界効果トランジスタのウェルと第1の配線及び第2の配線とを絶縁することにより、この間に流れる直接トンネル電流を防止することができる。このため、電源線からGND線へと流れる貫通電流を著しく低減し、2.5nm未満のゲート絶縁膜

を有する電界効果トランジスタから構成される相補型MOS論理回路が組み込まれた相補型MOS半導体装置の非動作時の消費電力を低減することができる。

【図面の簡単な説明】

【図1】(a)は本発明の第1の実施例に係る相補型MOS半導体装置に組み込まれた回路を示す回路図であり、(b)は同じく相補型MOS半導体装置を示す模式的断面図である。

【図2】本発明の第2の実施例に係る相補型MOS半導体装置を示す模式的断面図である。

【図3】本発明の第3の実施例に係る相補型MOS半導体装置を示す模式的断面図である。

【図4】従来の相補型MOS半導体装置に組み込まれた回路を示す回路図である。

【図5】特開平6-29834号公報に記載された回路を示す回路図である。

【図6】(a)はゲート絶縁膜の膜厚が2.5nm未満であるMOSFETからなる回路の例を示す回路図であり、(b)及び(c)は(a)に示す回路で発生した貫通電流を示す回路図である。

【図7】(a)はゲート絶縁膜厚を2.0nmとしたときに特開平6-29834号公報に記載された回路に流れる貫通電流を示す回路図であり、(b)はこの回路がP型半導体基板上に組み込まれた半導体装置を示す模式的断面図である。

【図8】ゲート印加電圧と直接トンネル電流との関係を示すグラフ図である。

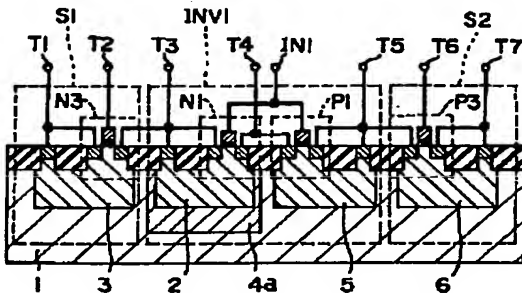
【図9】ゲート酸化膜厚と直接トンネル電流との関係を示すグラフ図である。

【図10】ゲート酸化膜厚とリーク電流との関係を示すグラフ図である。

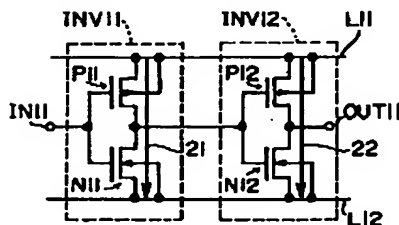
【符号の説明】

- 1、11；P型半導体基板
- 2、3、12；Pウェル
- 4、4a、4b、5、6、13；Nウェル
- 21、22、23、24、25、26；貫通電流
- 10 P1、P2、P3、P4、P11、P12、P13、P14、P21、P22；pMOSFET
- N1、N2、N3、N4、N11、N12、N13、N14、N21、N22；nMOSFET
- INV1、INV2、INV3、INV11、INV12、INV13；インバータ
- L1、L11、L13、L21；電源線
- L2、L12、L14、L22；GND線
- V1、V11；擬似電源線
- V2、V12；擬似GND線
- 20 S1、S2、S3、S11、S12、S13；電源供給回路
- IN1、IN11、IN21；入力端子
- OUT1、OUT11、OUT21；出力端子
- T1、T2、T3、T4、T5、T6、T7、T11、T12、T13、T14、T15、T16、T17；端子

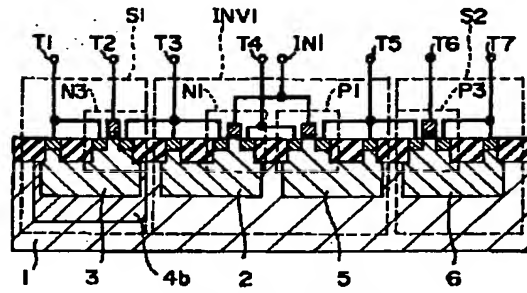
【図2】



【図4】



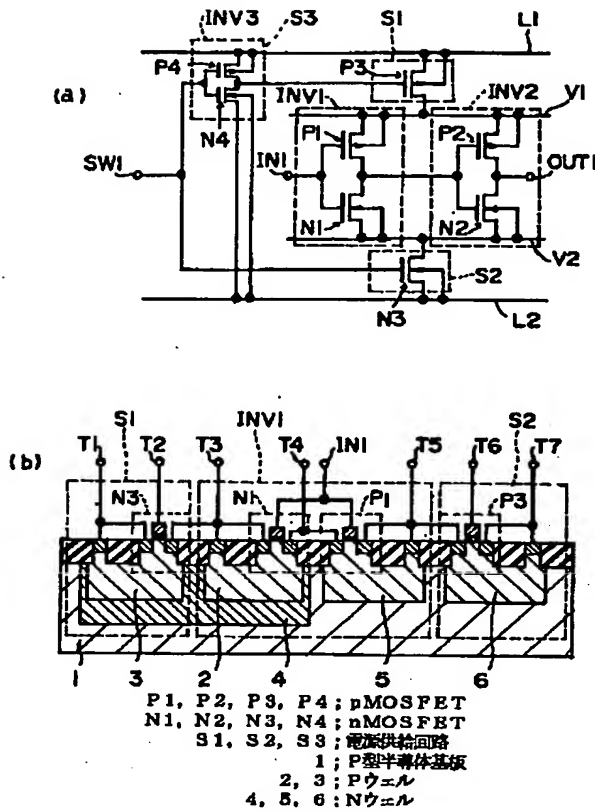
【図3】



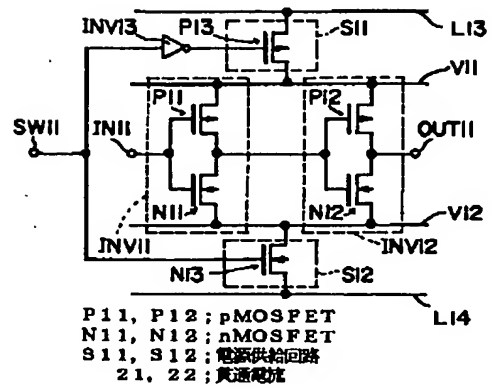
- P1、P3；pMOSFET
- N1、N3；nMOSFET
- S1、S2；電源供給回路
- 1；P型半導体基板
- 2、3；Pウェル
- 4a、4b、5、6；Nウェル



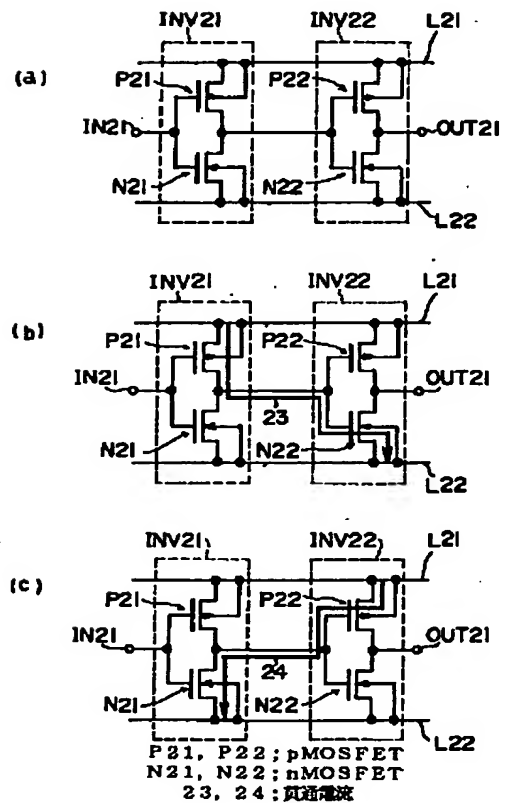
【図 1】



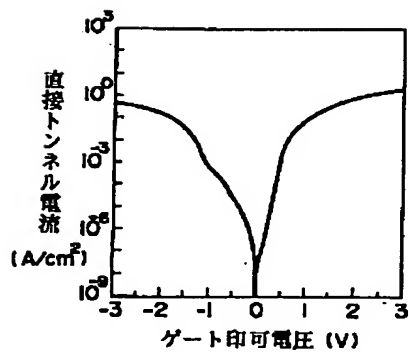
【図 5】



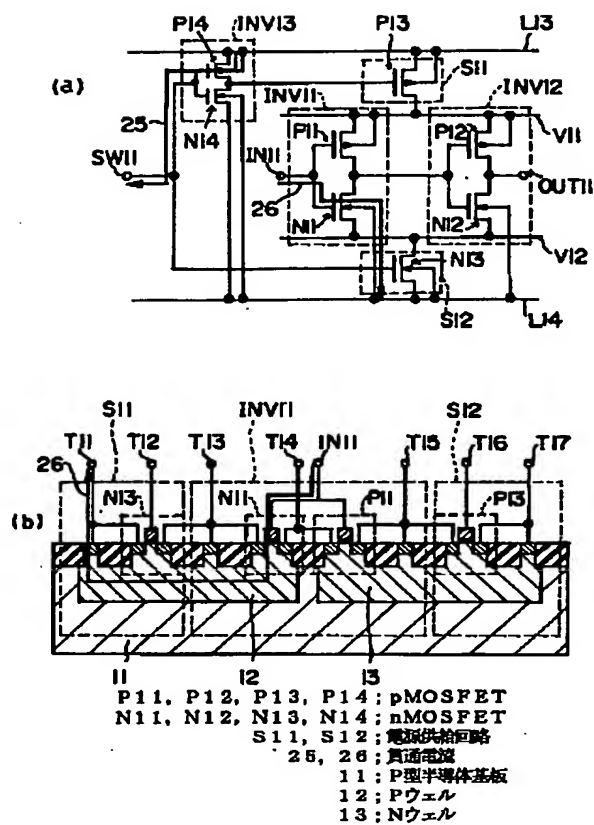
【図 6】



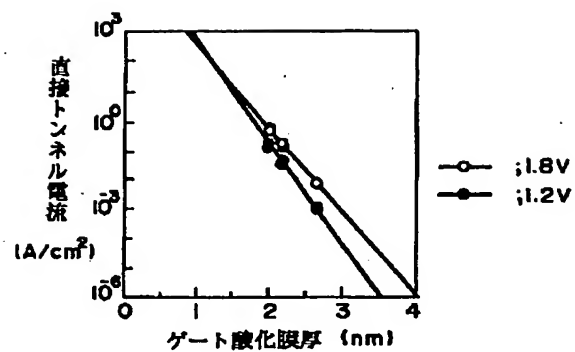
【図 8】



【図 7】



【図 9】



【図 10】

